

DIALOG(R)File 352:Derwent WPI  
(c) 2002 Derwent Info Ltd. All rts. reserv.  
008349347      \*\*Image available\*\*

WPI Acc No: 1990-236348/199031

Related WPI Acc No: 1999-127509

XRAM Acc No: C90-102318

XRPX Acc No: N90-183163

Crystalline semiconductor thin film prodn. - by contacting amorphous  
semiconductor film surface with planar graphite jig to heat treat it

Patent Assignee: EPSON CORP (SHIH )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 2165620</b>	A	19900626	JP 88321362	A	19881220	199031 B

Priority Applications (No Type Date): JP 88321362 A 19881220

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2165620	A		6		

Abstract (Basic): JP 2165620 A

Method comprises contacting the surface of an amorphous  
semiconductor thin film deposited on an amorphous insulation substrate,  
with a planar graphite jig having a dot-like projecting structure to  
heat treat the thin film until it is recrystallised.

USE - For semiconductor wafer prodn. facilities.

Dwg.2g/2

Title Terms: CRYSTAL; SEMICONDUCTOR; THIN; FILM; PRODUCE; CONTACT;  
AMORPHOUS; SEMICONDUCTOR; FILM; SURFACE; PLANE; GRAPHITE; JIG;  
HEAT; TREAT

Derwent Class: J04; L03; U11; U13

International Patent Class (Additional): C03B-001/02; H01L-021/20

File Segment: CPI; EPI

**CONSTITUTION:** An amorphous silicon thin film 1-2 is placed on a flat graphite jig 1-3 having dot-shaped protrusions 1-4 so as to bring the surface of the amorphous silicon thin film 1-2 into contact with the protrusions 1-4. Then the amorphous silicon thin film is subjected to a low temperature thermal treatment at 500 deg.C-700 deg.C for solid growth. As the solid growth progresses, crystal grains growing from both the directions collide with each other at the middle point between the two adjoining contact points 1-6 to form a crystal grain boundary 1-7. Thus, a large grain diameter polycrystalline silicon thin film whose positions of the crystal grain boundaries are controlled by the intervals between the dot-shaped protrusions is formed. With this constitution, a silicon thin film having excellent characteristics can be formed.

訂正有り

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-165620

⑤ Int. Cl.

識別記号

庁内整理番号

④ 公開 平成2年(1990)6月26日

H 01 L 21/20

7739-5F

// C 30 B 21/263  
1/02

8618-4G

審査請求 未請求 請求項の数 1 (全6頁)

⑥ 発明の名称 半導体薄膜の結晶成長方法

⑦ 特 願 昭63-321362

⑧ 出 願 昭63(1988)12月20日

⑨ 発 明 者 竹 中 敏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内  
⑩ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社  
⑪ 代 理 人 弁理士 上柳 雅彦 外1名

## 明細書

## 1. 発明の名称

半導体薄膜の結晶成長方法

## 2. 特許請求の範囲

非晶質絶縁基板上に、非晶質半導体薄膜を堆積させ、該非晶質半導体薄膜を500℃～700℃の低温熱処理により再結晶化させる半導体薄膜の結晶成長方法において、任意の間隔をおいてドット状の突起構造を有する平面グラフィット治具の上に、前記非晶質半導体薄膜の表面を接触させて設置して低温熱処理することにより前記非晶質薄膜を再結晶化させることを特徴とする半導体薄膜の結晶成長方法。

## 3 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、石英基板あるいはガラス基板のような非晶質絶縁基板上に結晶性の優れた半導体薄膜を成長させる方法に関する。

## 〔従来の技術〕

非晶質絶縁基板あるいは非晶質絶縁膜上に、結

晶方位の揃った結晶粒径の大きな多結晶シリコン薄膜、あるいは単結晶シリコン薄膜を形成する方法は、SOI(Silicon On Insulator)技術として知られている。(SOI構造形成技術、産業図書)。大きく分類すると、再結晶化法、エピタキシャル法、絶縁層埋め込み法、貼り合わせ法という方法がある。再結晶化法には、レーザーアニールあるいは電子ビームアニールによりシリコンを溶融再結晶化させる方法と、溶融する温度までは昇温させずに固相成長させる固相成長法の2つに分類される。比較的低温で再結晶化できるという点で固相成長法が優れている。550℃の低温熱処理にもかかわらずシリコン薄膜の結晶粒が成長したという結果も報告されている。(IEEE Electron Device Letters, vol. EDL-8, No. 8, p361, August 1987)。

## 〔本発明が解決しようとする課題〕

前記固相成長法においては、結晶成長の始点となる単結晶シリコンシードが必要となる。該単結

晶シリコンシードが無い場合には、固相成長のための活性化エネルギーは小さいが、核生成のための活性化エネルギーが大きいため、まず核を生成するために、より高温の熱処理と長い処理時間が必要となる。シリコン膜中にランダムに存在する核のために数多くの結晶粒が成長し、該結晶粒のひとつひとつは大きく成長しない。また結晶粒の成長がランダムなために、得られた再結晶化シリコン薄膜のどこに結晶粒界が存在するのか全くわからない。さらに結晶方位もそろっていない。従って、この様な再結晶化シリコン薄膜を用いて薄膜トランジスタなどの薄膜半導体装置を作製した場合には、同一基板内での特性のばらつきが大きく実用不可能となる。

レーザービームあるいは電子ビームのようなエネルギービームを基板の全面にわたって走査させて結晶成長させるような従来の方法では、エネルギービーム照射を走査することによる結晶成長の不均一が生じる。表面形状は凹凸が大きい。また非晶質絶縁基板の反りも問題となる。特に酸化温

度低い非晶質半導体薄膜の表面を接触させて設置して低温熱処理することにより前記非晶質薄膜を再結晶化させることを特徴とする。

#### 【実施例】

第1図(a)に於て、1-1は非晶質絶縁基板である。石英基板あるいはガラス基板などが用いられる。SiO<sub>2</sub>で覆われたSi基板を用いることもある。石英基板あるいはSiO<sub>2</sub>で覆われたSi基板を用いる場合は1200℃の高温プロセスにも耐えることができるが、ガラス基板を用いる場合は軟化温度が低いため約600℃以下の低温プロセスに制限される。はじめに非晶質絶縁基板1-1上に非晶質シリコン薄膜1-2を堆積させる。該非晶質シリコン薄膜1-2は一般で、微小な結晶子は含まれておらず結晶成長の核が全く存在しないことが望ましい。LPCVD法の場合は、デポ温度がなるべく低くて、デポ速度が早い条件が適している。シランガス(SiH<sub>4</sub>)を用いる場合は500℃～580℃程度、ジシランガス(Si<sub>2</sub>H<sub>6</sub>)を用いる場合は300℃～50

度の低いガラス基板を用いた場合にはこの問題は大きくなる。また、エネルギービームを制御性よく走査するための高価な装置が必要となる。

本発明は、SOI法、特に固相成長法において、ランダムに核が生成するという問題点を解決し、基板全面にわたって均一で結晶粒径の大きな表面形状の平坦なシリコン薄膜を形成し、しかもその結晶粒界の位置を制御することを目的としている。そして、石英基板あるいはガラス基板のような非晶質絶縁基板上に、複雑で高価な装置を必要としない簡単な方法で特性の優れた薄膜トランジスタなどのような薄膜半導体装置を作製する方法を提供するものである。

#### 【課題を解決するための手段】

本発明の半導体薄膜の結晶成長方法は、非晶質絶縁基板上に、非晶質半導体薄膜を堆積させ、該非晶質半導体薄膜を500℃～700℃の低温熱処理により再結晶化させる半導体薄膜の結晶成長方法において、任意の間隔をおいてドット状の突起構造を有する平面グラファイト治具の上に、前

0℃程度のデポ温度で分解堆積が可能である。トリシランガス(Si<sub>3</sub>H<sub>8</sub>)は分解温度がより低い。デポ温度を高くすると堆積した膜が多結晶になるので、Siイオン注入によって一旦非晶質化する方法もある。プラズマCVD法の場合は、基板温度が室温から500℃以下の低温でも成膜できる。また、デポ直前に水素プラズマあるいはアルゴンプラズマ処理を行えば、基板表面の清浄化と成膜を連続的に行うことができる。光陽起CVD法の場合も500℃以下の低温デポ及び基板表面の清浄化と成膜を連続的に行うことができる点で効果的である。EB蒸着法等のような高真空蒸着法の場合は膜がポーラスであるために大気中の酸素を膜に取り込み易く、結晶成長の妨げとなる。このことを防ぐために、真空雰囲気から取り出す前に300℃～500℃程度の低温熱処理を行い膜を緻密化させることが有効である。スパッタ法の場合も高真空蒸着法の場合と同様である。

次に、第1図(b)に示されるように、ドット状の突起構造1-4を有する平面グラファイト製

治具1-3の上に、前記非晶質シリコン薄膜1-2が接触するように設置して該非晶質シリコン薄膜1-2を固相成長させる。前記突起構造1-4の先端の大きさはできる限り小さくすることが望ましい。また該突起構造1-4の間隔Lは固相成長距離の約2倍とする。例えば固相成長がシードから5 $\mu$ m進む場合はL=10 $\mu$ mとする。該平面グラファイト製治具1-3の平面図を第1図(f)に示す。また前記治具はグラファイト製と述べたが、不純物汚染の問題がなく熱伝導率の高い材質ならば治具として用いてもよい。ちなみに700℃におけるグラファイトの熱伝導率は35~70(W/m $\cdot$ K)であり、石英基板ではこれよりも約1桁小さい。

続いてこの様に平面グラファイト製治具の上におかれた非晶質シリコン薄膜を、石英アニール炉の中にいれて500℃~700℃の低温熱処理を行い、前記非晶質シリコン薄膜を固相成長させる。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。1 $\times$

00℃として述べてきたが、更に低温例えば400℃~500℃の熱処理でも固相成長する可能性がある。低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長し、しかもゆっくりと大きく成長する。

第1図(c)は固相成長過程の途中の段階を示す図である。固相成長が進行し、隣合う2個の前記接触点1-6の間隔点で、両方向から成長してきた結晶粒がぶつかり合い、結晶粒界1-7が形成された様子を第1図(d)に示す。ある結晶粒界1-7とその隣の結晶粒界1-7との間が結晶相となる。前に述べたように、ドット状の突起構造1-4の間隔Lを例えば20 $\mu$ mにすれば、結晶相1-5は前記接触点1-6中心として一辺20 $\mu$ mの結晶領域となる。この様にして、結晶粒界の場所が制御された大粒径多結晶シリコン薄膜が作製される。第1図(e)は、該大粒径多結晶シリコン薄膜を示している。

本発明を用いて作製した大粒径多結晶シリコン薄膜を、薄膜トランジスターに応用した例を第2

10 $^{-6}$ から1 $\times$ 10 $^{-10}$ Torrの高真空雰囲気で行ってもよい。雰囲気ガスの1000℃における熱伝導率は、窒素ガスで約7.4 $\times$ 10 $^{-2}$ (W/m $\cdot$ K)、アルゴンガスで約5.0 $\times$ 10 $^{-2}$ (W/m $\cdot$ K)、ヘリウムガスで約41.9 $\times$ 10 $^{-2}$ (W/m $\cdot$ K)、水素ガスについても同程度である。前に述べたグラファイトの熱伝導率の値はこれらに比べて2~3桁も大きい。従って、平面グラファイト製治具1-3のドット状の突起構造1-4との接触点1-6がシードとなり、該シードを中心として放射状に前記非晶質シリコン薄膜1-2が固相成長を始める。この様子を第1図(c)に示す。1-5は、ドット状の突起構造1-4と非晶質シリコン薄膜1-2との接触点1-6をシードとして固相成長した結晶相を示している。このように固相成長の始点となるシードが、アニール雰囲気ガスよりも熱伝導率の高い物質を接触させることによって生成されるので、固相成長のための熱処理温度をより低温にすることが可能になる。これまでは、熱処理温度は500℃~7

図にしたがって説明する。第1図(e)に示すように、結晶粒界1-7の位置が分かっているのでこの場所を避けて、結晶相1-5をチャネル領域となるように薄膜トランジスターを作製する。前述のようにして作製された大粒径多結晶シリコン薄膜基板を第2図(a)に示す。2-1は非晶質絶縁基板である。2-2は固相成長により形成された結晶相である。2-3は結晶粒界である。次に前記シリコン薄膜をフォトリソグラフィ法によりパターンニングして第2図(b)に示すように島状にする。この時、結晶相2-2が島状パターンの中心部になるようにパターンニングする。次に第2図(c)に示されているように、ゲート酸化膜2-4を形成する。該ゲート酸化膜の形成方法としてはLPCVD法、あるいは光励起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500℃以下の低温方法がある。該低温方法で成膜されたゲート酸化膜は、熱処理することによってより

緻密で界面単位のない優れた膜となる。非晶質絶縁基板2-1として石英基板を用いる場合は、熱酸化法によることができる。該熱酸化法にはdry酸化法とwet酸化法とがあるが、酸化温度は1000℃以上と高いが膜質が優れていることからdry酸化法の方が適している。

次に第2図(d)に示されるように、ゲート電極2-5を形成する。この時、該ゲート電極2-5は結晶粒界2-3とオーバーラップしないように形成する。従って、ゲート電極2-5の下シリコンは結晶相となる。該ゲート電極材料としては多結晶シリコン薄膜、あるいはモリブデンシリサイド、あるいはアルミニウムやクロムなどのような金属膜、あるいはITOやSnO<sub>2</sub>などのような透明性導電膜などを用いることができる。成膜方法としては、CVD法、スパッタ法、真空蒸着法、等の方法があるが、ここでの詳しい説明は省略する。

続いて第2図(e)に示すように、前記ゲート電極2-5をマスクとして不純物をイオン注入し、

数μm程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス(NH<sub>3</sub>)とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。

ここで、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、ゲート酸化膜界面などに存在するダングリングボンドなどの欠陥が不活性化される。この様な水素化工程は、層間絶縁膜2-9を積層する前におこなってもよい。

次に第2図(f)に示すように、前記層間絶縁膜及びゲート絶縁膜にコンタクトホールを形成し、コンタクト電極を形成しソース電極2-10およびドレイン電極2-11とする。該ソース電極及びドレイン電極は、アルミニウムなどの金属材料で形成する。この様にして薄膜トランジスタが形成される。

自己整合的にソース領域2-6およびドレイン領域2-7を形成する。同図に於て2-2はまったくの結晶領域であり、これはMOS型薄膜トランジスタのチャネル領域となる。結晶粒界2-3はドレイン領域2-7の中に埋もれるので、トランジスタ特性にはなんら悪影響を与えない。前記不純物としては、Nchトランジスタを作製する場合はP<sup>+</sup>あるいはAs<sup>+</sup>を用い、Pchトランジスタを作製する場合はB<sup>+</sup>等を用いる。不純物添加方法としては、イオン注入方の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。2-8で示される矢印は不純物のイオンビームを表している。前記非晶質絶縁基板2-1として石英基板を用いた場合には熱拡散法を使うことができる。不純物濃度は、 $1 \times 10^{18}$ から $1 \times 10^{20} \text{ cm}^{-3}$ 程度とする。

続いて第2図(g)に示されるように、層間絶縁膜2-9を積層する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千人か

#### 【発明の効果】

従来薄膜トランジスタのチャネル領域には結晶粒界が幾つ存在するかわからなかった。結晶粒界がどこに存在しているのか、あるいは結晶粒界がどれくらいの大きさなのか知ることができなかった。しかし本発明によると、大きな結晶粒界を得ることができ、結晶粒界の場所も制御することができるようになる。この結晶粒界部分を除いた結晶領域だけをチャネル領域として利用できるようになったので、従来に比べて、薄膜トランジスタのON電流は増大しOFF電流は小さくなる。またスレッショルド電圧も小さくなりトランジスタ特性が大きく改善される。トランジスタ特性のばらつきは非常に小さい。

非晶質絶縁基板上に結晶粒界の場所が制御された結晶性の優れたシリコン薄膜を作製することが可能になったのでSOI技術の発展に大きく寄与するものである。グラファイトなどのような熱伝導率の高い材質の治具を用いることによってシードを形成するのでフォト工程など、工程数はまっ

たく増えない。800℃以下の低温のプロセスでも作製が可能なので、価格が安く耐熱温度が低いガラス基板をもちいることができる。優れたシリコン薄膜が得られるのにかかわらずコストアップとはならない。

固相成長法において、熱処理の雰囲気ガスよりもきわめて大きな熱伝導率を有する材質で作成された治具を、非晶質シリコン薄膜に接触させて熱処理することによって、前記非晶質シリコン薄膜上に温度差が生じ、この接触点は雰囲気ガスよりも高い温度となる。この様にしてシードが形成される。従って、固相成長のための熱処理温度を更に低温にすることが可能になる。

非晶質絶縁基板上に優れた特性の薄膜トランジスタを作製することが可能となるので、ドライバ回路を同一基板上に集積したアクティブマトリクス基板に応用した場合にも十分な高速動作が実現される。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、800℃以下の低温プロセスによる作製も

できる。

以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのようなSOI技術を利用した素子に対しても、本発明を応用することができる。

#### 4. 図面の簡単な説明

第1図(a)から(e)は、本発明における半導体薄膜の結晶成長方法を示す工程断面図である。

第1図(f)は、平面グラファイト製治具の平面図である。

第2図(a)から(g)は、本発明を、薄膜トランジスタに応用した場合の例を示す薄膜トランジスタの工程図である。

- 1-1 : 非晶質絶縁基板
- 1-2 : 非晶質半導体薄膜
- 1-3 : 平面グラファイト製治具
- 1-4 : ドット状突起構造

可能なので、アクティブマトリクス基板のてい価格が及び大面積化に対してもその効果は大きい。

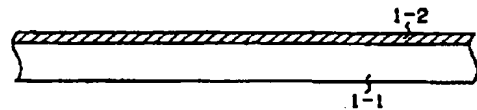
本発明を、光電変換素子とその定置回路を同一チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4判あるいはA3判の様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本縫ぎのような手数がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上される。

石英基板やガラス基板だけではなく、サファイア基板( $Al_2O_3$ )あるいは $MgO \cdot Al_2O_3$ 、BP、 $CaF_2$ 等の結晶性絶縁基板も用いることが

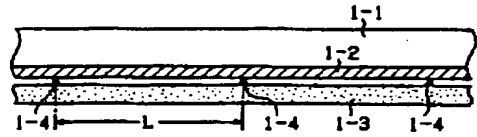
- 1-5 : 結晶相
- 1-7 : 結晶粒界
- 2-2 : 結晶相

以上

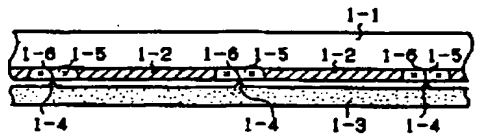
出願人 セイコーエプソン株式会社  
代理人弁理士 上柳雅彦 (他1名)



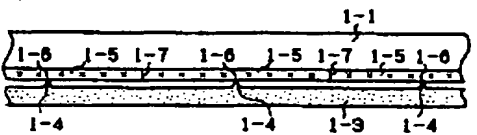
(a)



(b)

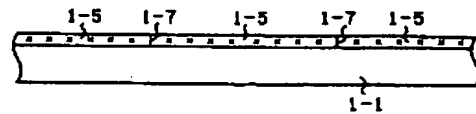


(c)

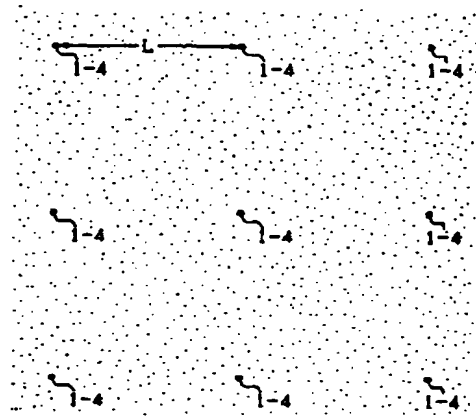


(d)

第 1 図

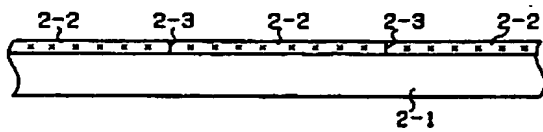


(e)

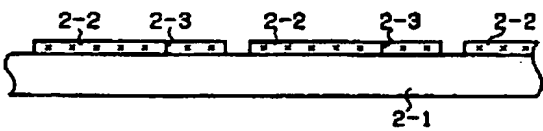


(f)

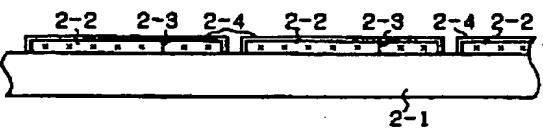
第 1 図



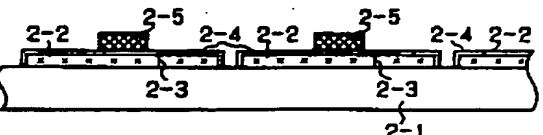
(a)



(b)

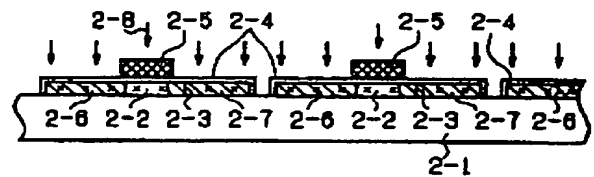


(c)

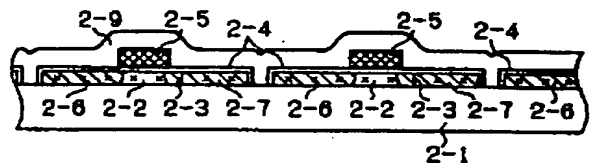


(d)

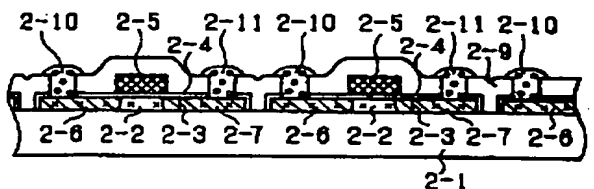
第 2 図



(e)



(f)



(g)

第 2 図